

통계적 방법에 근거한 SCAN Failure Analysis

SCAN Failure Analysis Based On Statistical Method

오길근, 서상남, 장제열, 한동관, 황재철, 이승혁, 정영택, 최우성

SAMSUNG Electronics, CO

ghil.oh@samsung.com

Abstract

The study about scan failure analysis is performed competitively among many companies early to stabilize FAB process due to process scale down and increased design size.

But, scan failure analysis is complex and difficult thing compared to BIST or BIRA analysis of memory. Although failure diagnosis is completely performed, it is not easy to find the location of failure cell detected by scan diagnosis.

This paper will describe how to localize the location of failure cell based on statistical method and introduce real PFA(physical failure analysis) results using the invented technique.

I. 서론

공정미세화 및 design size 증가에 따라 functional test는 더욱 복잡해 지고 cost측면에서 비효율적인 요소가 있으며, fault coverage측면에서 functional test를 이용하여 높은 coverage를 얻는 데는 한계가 있다.

따라서, 현대의 대부분의 microelectronic device에서는 logic block내에 register로 연결된 scan chain을 구성하고 ATPG 방법을 이용 test pattern generation의 간소화를 통해 높은 fault coverage를 확보 할 수 있는 scan test가 폭넓게 사용되고 있다.[1]

하기 Fig 1.은 간단한 scan schematic을 나타낸다. SCAN circuit의 동작은 scan test mode에서는 “TI to Q” path를 통해 data shift가 이루어지고, normal operation시 scan cell들은 보통의 “TI to Q” path가 차단되고 “D to Q” path로 data전달이 이루어진다. Normal operation에서 scan cell들은 보통의 flip-flop이나 latch circuit으로 동작 한다. 그리고, 대부분의 scan test pattern은 scan chain이 정상적으로 동작하는 가를 평가하는 scan shift mode test와 normal operation시 scan cell과 연결된 glue logic이 문제 가 없는지를 평가하는 scan capture mode test로 나눌 수 있다. [2]

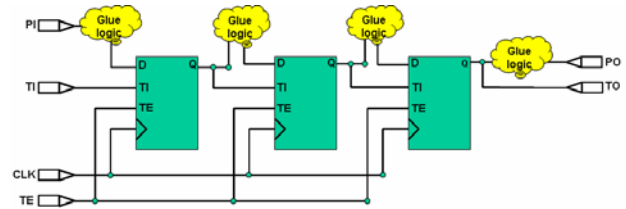


Figure1. The schematic of SCAN chain structure

SCAN으로 detection된 failure를 분석 하는 방법에는 여러 가지 방법이 있다. 가장 간단한 방법은 불량 발생한 개별 chip을 ATE와 ATPG tool을 이용 diagnosis를 수행 하여 failure candidate을 찾아내고, 이 특정 cell에 fault를 가해주는 unique pattern을 생성하여 iteration방법을 통해 정확한 failure cell의 location을 찾을 수 있다. 또 다른 방법은 DFT 전용 분석 설비를 이용하여 개별 chip이나, wafer level test를 수행한 후 ATPG tool을 이용할 경우 ATE를 사용한 경우 보다 훨씬 빠른 시간 내에 failure analysis를 수행 할 수 있다. 하지만, 위 방법은 모두 wafer level 분석 infra, time limitation및 설비 limitation이 존재 하여 조기 공정 안정화 및 설계 오류 대응에 한계가 존재 한다.

본 논문에서는 설비 limitation 해결을 위해 양산용 ATE설비를 이용하고, STA(Static Timing Analysis)분석과 부가적인 iteration 수행이 없이 high-quality candidate을 추출하는 방법과 failure location을 찾는 방법을 소개 하는데 목적이 있으며, 사용된 fault model은 stuck-at model을 근거로 한다.

II. 본론

Static Timing Analysis and Data Collection

설계 검증 측면에서 STA결과를 review하고 setup 및 hold timing slack이 발생한 cell이 있는지를 검증한다. 이는 실제 silicon에서 timing적으로 가장 worst한 cell부터 불량이 발생할 가능성어 높고(Fig2.), fault coverage가 허용되는 범위 내에서는 특정 cell masking이나 변칙적인 pattern제작이 가능하기 때문이다

다. Data collection은 설비가 허용하는 failure cycle범위 내에서 maximum cycle까지 data를 저장 할 수 있도록 하였으며, Teradyne사의 Flex설비에 적용 하였다.

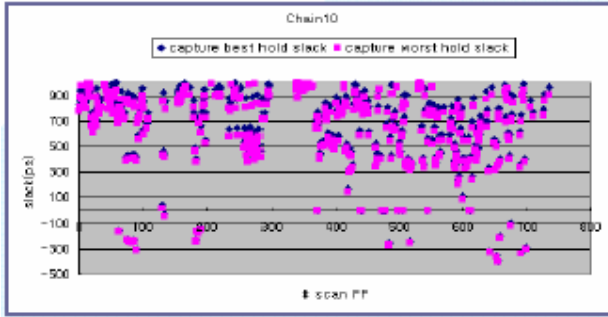


Figure 2. An example of STA Results

Diagnosis and Failure Candidate Ranking

ATE에서 확보된 wafer datalog중 scan failure log에 대한 diagnosis를 수행한다. diagnosis수행은 scan shift와 capture mode fail 두 가지에 대해 진행되며, 양산 설비가 허용하는 범위 이상까지 fail cycle이 존재할 경우 특정 pattern이상에서는 data확보가 완전하지 않을 수 있으므로, ATPG tool이 특정 pattern이상은 연산을 수행하지 못하도록 하였다.

High-quality candidate확보를 위해 1차 수행된 diagnosis에서 확보된 fault candidate은 simulation결과와 silicon failure cycle과의 비교를 통해 0~100%까지 ranking을 갖도록 하였다. Ranking이 높을수록 실제 fail이 존재할 가능성이 높음을 의미하며, 이 ranking으로 구분된 failure candidate는 다시 공정 defect에 의한 defective한 불량과 marginal한 전기적 특성 fail을 갖는 parametric불량, ATPG tool로는 해석이 어려운 불량 등으로 구분하였다. 또한, mass data에 대한 통계적 분석을 위해 wafer내 좌표 별 failure cell 결과를 누적함으로써, failure cell별 fail 발생 portion을 확보 하였다.[3,4]

하기 Fig.3은 chain 별 fail이 발생한 cell의 위치와 발생 portion을 나타낸다.

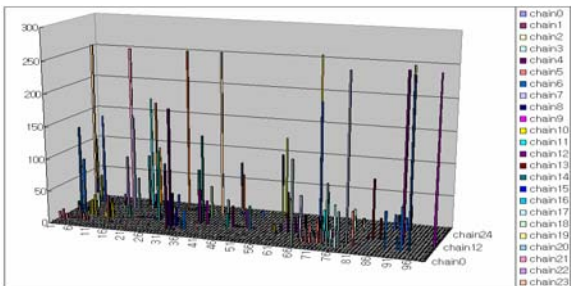


Figure 3. Accumulation Portion on Failure Cells

Failure Cell Pinpoint and Physical Location

Diagnosis 과정을 통해 확보된 failure cell은 layout database와 연결을 통해 Fig 4. 처럼 실제 chip상에서 불량 cell의 location을 확인 할 수 있도록 하였다. 하지만, 특정 cell이 불량이라는 정보는 확보 하였으나, metal routing중 어떤 metal layer 혹은 via에서 불량이 발생하였으며, 정확히 report된 cell이 맞는지는 알 수 없다. 따라서, failure cell과 연결된 수많은 metal routing중 어떤 node와 연결된 layer가 불량이며, 해당 layer는 stack구조의 metal배선 중 어떤 layer부터 검토를 해야 하는지 세밀한 pinpointing이 필요 하다.

대부분의 ATPG tool이 pattern을 generation하는 과정에서 fault simulation과정을 거치게 된다. 이 점에 착안하여, failure cell의 각 node에 대한 fault simulation을 수행 하였다. Report된 cell중 어떤 node에서 stuck-at fault가 있는지 확인 하기 위해 각 node에, '0' 혹은 '1'로 stuck하고, simulation상으로 나타난 failing pattern과 failing cell이 실제 silicon에서 발생한 failing pattern 및 cell과 일치하는가를 비교 하였다. 또한, schematic및 layout 분석을 통해 불량 cell이 불량을 유발하지 않는 다른 chain과 연결되어 있을 경우, 다른 chain에서 불량을 detect한 F/F이 없다면 특정 logic cell에서 분기되어 나온 다른 metal line들은 불량이라고 생각 할 수 없기 때문에 우리는 특정 metal area가 불량을 유발하고 있음을 확인 할 수 있었다. 이와 같은 방법을 통해 특정 metal layer가 확인 되면 PFA(physical failure analysis)시 결과로 도출된 layer하부에 대해서만 검토를 수행 하였다.

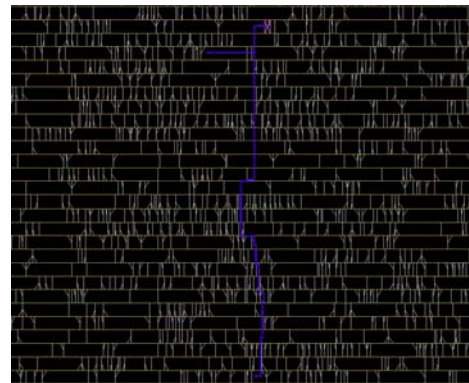


Figure 4. An example of filing path given by ATPG tool diagnosis.

Fault simulation시 고려 되어야 할 점은 scan pattern생성시 timing violation을 고려하여 특정 cell에 대한 masking이 이루어진 경우는 masking cell의 결과를 함께 report하게 되어 정확성이 떨어질 가능성이 있으며, fault coverage가 낮은 pattern의 경우 diagnosis수행 결과 역시 low-quality candidate을

report할 수 있다.

III. 사례 연구

이와 같이 고안된 scan 분석 방법은 ASIC chip을 통해 그 실효성을 검증 하였으며, 그 동안의 분석 방법보다 빠르고, 추가 비용 손실이 없이 정확히 real 불량을 찾을 수 있음이 확인되었고, wafer내에서 area성 불량이 심한 ASIC chip에도 성공적으로 적용되었다.

Via not-open Fail

Fig 5.는 random defect으로 일정 portion SCAN fail이 발생하고 있는 wafer map과 failure analysis를 수행한 chip 및 diagnosis수행 결과 report된 candidate의 schematic을 나타내고 있다.

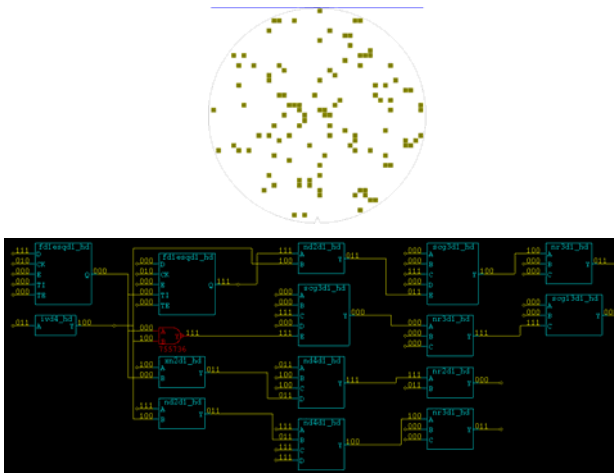


Figure 5. Wafer map and failure cell schematic
분석 sample은 Nand gate cell의 B net이 불량이었으며, fault simulation을 통해 B net이 stuck 0인 경우만 fail이 발생함을 확인 하였다. Layout검토를 통해 Metal 4 layer이하에서 불량 가능성이 있음을 확인 한 후 PFA결과 VIA2가 Fig 6. 처럼 형성되지 않았음을 확인 하였다.

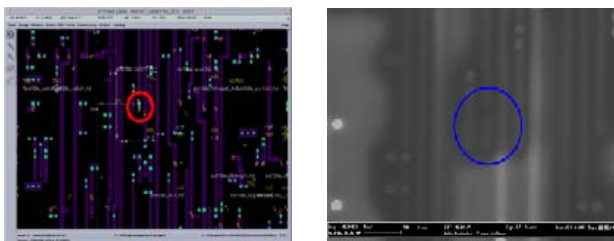


Figure 6. Layout image and SEM picture showing Via2 not-open in the circle.

Active Bridge Fail

Random defect으로 인한 불량은 FAB내에 particle관리를 철저히 진행한다 하더라도, 필연적으로 발생할 수 밖에 없는 불량 유형으로 양산측면에서 불량 분석을 통

해 얻을 수 있는 효과는 크지 않다. Fig 7.의 wafermap은 wafer 우측에 불량 chip이 분포하는 전형적인 area성 불량을 보이고 있다. Area성 불량은 random defect으로 인한 불량 과는 달리 반드시 해결해야 하는 문제로 발생한 원인을 찾아내지 못하는 한 공정 개선을 통한 yield향상은 기대 할 수 가 없다.

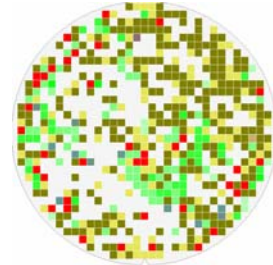


Figure 7, Wafermap showed right area failure.

ATE datalog를 확보하여 diagnosis를 수행한 결과 Fig 8.과 같이 chip내 특정 위치에서 불량이 발생하고 있음을 확인 하였고, fault simulation결과 다수의 net에서 불량이 발생함을 확인 하였으며 Fig 9. 와 같이 특정 logic cell이 power line과 active bridge가 형성되어 있음을 확인 하였다.

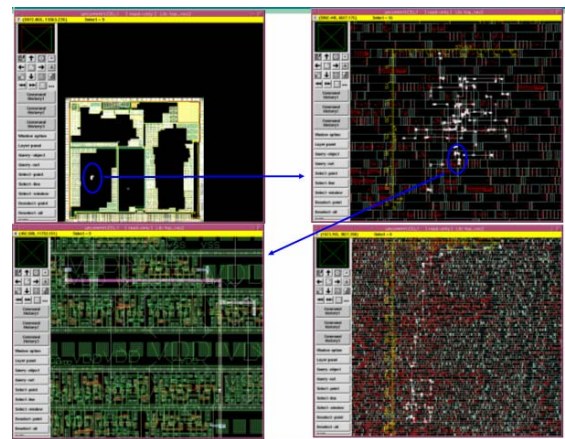


Figure 8. Layout showing failure location and highlighted failure net.

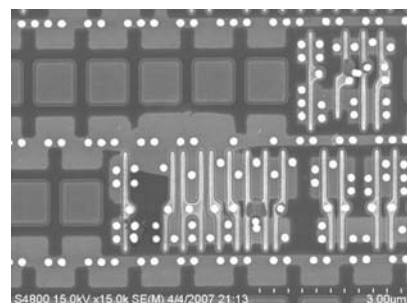


Figure 9. Active bridge showed by SEM.

Poly particle

신규 제품 진행 시 중요한 부분은 조기 양산 가능 수준의 yield 확보이지만, yield 저해 요소를 찾고 이를

해결하는 것은 쉬운 일이 아니다. Fig 10. 은 특정 chip에서 wafer top쪽에서 집중적으로 발생한 불량으로 심각한 수준의 low yield wafer를 보여 주고 있다.



Figure 10, Extreme Low yield wafer

ATE결과 main 불량은 memory불량이었으며, 불량 분석을 수행하였으나, 대부분 block성 fail로 판명되어 더 이상 추가 분석을 진행 할 수 없는 상황에서, test sequence변경을 통해 memory불량 발생 chip이 scan test로 detect됨을 확인하여, scan 분석을 통해 불량 해석을 수행 하였다.

High-quality candidate확보를 위해 scan test pattern수를 증가 시켰으며, parametric성 불량과 구분 하기 위해 voltage조건 별 test를 추가 하였다. ATE에서 확보된 data를 토대로 diagnosis수행 결과 area성 불량이 발생하는 area주변에서는 voltage margin 또한 취약해지는 특성을 보임을 확인 하였다. ATPG tool을 이용한 diagnosis수행 후 ranking이 가장 높은 chip, failing net이 가장 작은 chip으로 PFA를 수행 하였다.

PFA수행결과 Fig 11. 과 같이 poly layer에서 이물질이 존재함을 확인 하였으며, Fig 12. 와 같이 이물질에 대한 성분 분석을 통해 'Al'성분이 존재함을 확인 하였다.

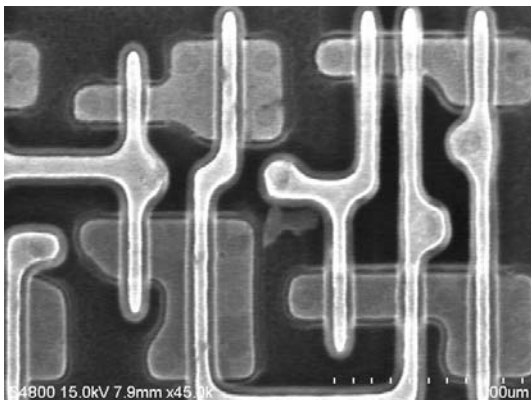


Figure 11. Poly particle showed by SEM.

재현성 검토를 위해 다른 scan failure chip에 대한 추가 PFA를 수행 하였으며, 동일하게 poly layer에 이물질이 존재 함을 확인 하였다. Fig 13. 은 ploy layer와 contact metal사이에 이물질이 확인된 SEM사진을 보여 준다.

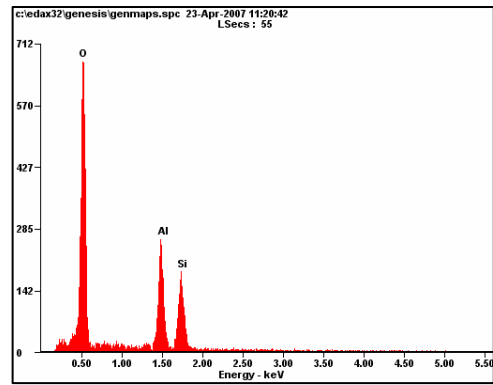


Figure12. O, Al, and Si confirmed by EDX element analysis.

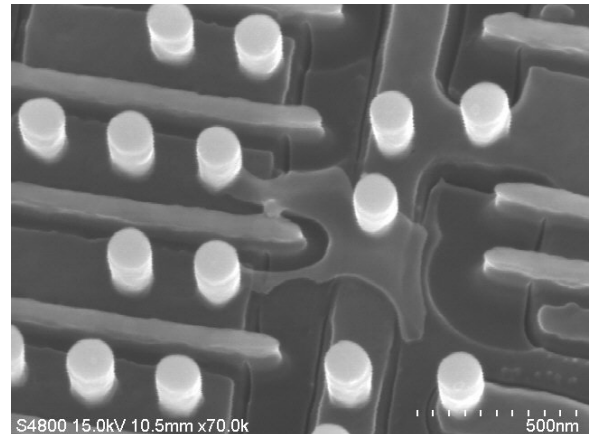


Figure13. Poly particle showed by SEM

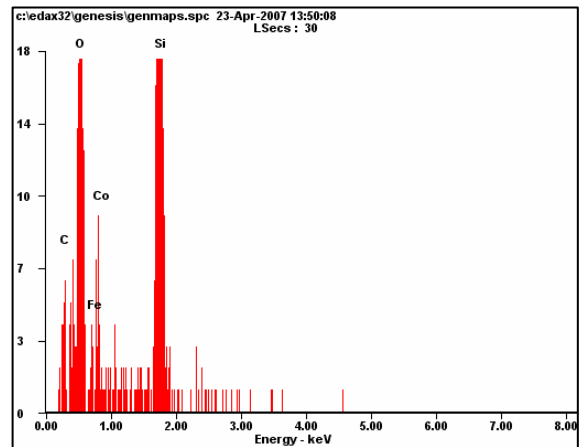


Figure14. O, Si, Co and Fe confirmed by EDX element analysis.

분석 결과를 근거로 공정 설비 유의 차 검토 결과 세정 공정중에서 batch구조에 의한 wafer간 particle 흡착에 기인한 문제로 확인이 되어 공정 개선 후 안정된 yield를 확보 할 수 있었다.

IV. 결론

이 논문에서는 STA결과를 통해 timing적으로 가장 weak한 cell에 대한 정보를 확인 하고, wafer level test결과를 특별한 conversion과정을 거치지 않고 diagnosis를 수행함으로써, 통계적으로 가장 불량 빈도가 높은 cell을 찾아 내고, high-quality candidate 획득을 위해 ranking 정의를 통한 분석 방법을 기술 하였다.

또한, 획득한 candidate중 좀 더 정확한 failure location을 찾는 방법으로 fault simulation을 통해 ATE에서 확보된 failing pattern과의 비교를 수행함으로써 특정 layer이하에서 불량이 있음을 pinpointing하는 방법을 기술 하였다. 마지막으로, 이 방법을 이용하여 실제 불량 device에 적용 PFA를 수행함으로써 이 방법이 매우 효과적임을 입증 하였다.

참고문헌

- [1] E.B. Eichelberger and T.W. Williams, "A Logic Design Structure for Testability", Proceedings, DAC, 1977, pp 462-468
- [2] 오길근, 이은철 외, "A New Method for SCAN Failure Analysis," 반도체기술논문발표회, 2005
- [3] A. Davide, F. Alessandra, G. Katia et al, "Understanding Yield Losses in Logic Circuits", IEEE Design & Test of Computers, 2004.
- [4] TetraMax Diagnosis from synopsys